



# 一种引导测试向量自动生成 广义折叠集的方法

詹文法 程一飞 吴海峰 江健生

(安庆师范大学计算机与信息学院, 安庆 246133)

**摘要:** 针对芯片测试过程中自动测试设备需要向被测芯片传输大量测试数据的问题, 提出了一种引导测试向量自动生成广义折叠集的方法. 该方法根据信号值计算对应的原始输入, 在测试生成中嵌入广义折叠技术, 确保按广义折叠规律生成广义折叠集, 将原始测试数据的直接存储转换成对广义折叠集种子和折叠距离的间接存储. 硬故障测试集实验结果显示, 在同等实验环境下, 所提方法的压缩率相对于传统的广义折叠技术平均提高了 1.17%. Mintest 故障集实验结果显示, 相对于国际上通用的 Golomb 码、FDR 码、VIHC 码和 EFDR 码, 所提方法的压缩率分别提高了 22.45%, 17.01%, 14.40% 和 11.91%.

**关键词:** 广义折叠集; 折叠集; 测试数据压缩; 自动测试向量生成

**中图分类号:** TP391.4 **文献标志码:** A **文章编号:** 1001-0505(2018)02-0265-05

## Automatical generation method of generalized folding set by guiding test patterns

Zhan Wenfa Cheng Yifei Wu Haifeng Jiang Jiansheng

(School of Computer Science and Information, Anqing Normal University, Anqing 246133, China)

**Abstract:** To solve the problem that automatic test equipments need to transmit a large amount of test data to the chip during tests, an automatical generation method of generalized folding sets by guiding test patterns is proposed. According to the value of a signal line, the corresponding original inputs are calculated. The generalized folding technique is embedded during the test generation to ensure that the generalized folding set is generated by the law of the generalized folding. The direct storage of the original test data is converted into the indirect storage of the seed and folding distances of the generalized folding sets. The experimental results of the hard fault test set show that in the same experimental environments, compared with the traditional generalized folding technique, the average compression rate of the proposed method increases by 1.17%. The experimental results of the Mintest fault set show that compared with the globally popular Golomb code, the frequency-directed run-length (FDR) code, the variable-length input huffman code (VIHC) and the extended frequency-directed run-length (EFDR) code, the compression rates of the proposed method are increased by 22.45%, 17.01%, 14.40% and 11.91%, respectively.

**Key words:** generalized folding set; folding set; test data compression; automatic test pattern generation

随着集成电路技术的发展, 测试成本已成为影响集成电路成本的主要问题之一, 最有效的解决方法是通过压缩测试数据量达到减少测试成本的目的.

按是否同时压缩原始测试数据的长度或宽度, 可以将测试数据压缩方法分为一维压缩和二维压缩. 一维压缩仅单一压缩测试数据的长度或宽度. 压缩

收稿日期: 2017-08-20. 作者简介: 詹文法(1978—), 男, 博士, 教授, zhanwf@aqnu.edu.cn.

基金项目: 国家自然科学基金资助项目(61306046, 61640421).

引用本文: 詹文法, 程一飞, 吴海峰, 等. 一种引导测试向量自动生成广义折叠集的方法[J]. 东南大学学报(自然科学版), 2018, 48(2): 265-269. DOI:10.3969/j.issn.1001-0505.2018.02.012.

测试数据长度的代表性方法包括基于 LFSR 的压缩技术<sup>[1-2]</sup>和基于编码的压缩技术<sup>[4-11]</sup>等。基于 LFSR 的压缩技术优点是可以采用种子编码整个测试向量,但 LFSR 种子长度与单个测试向量中最多确定位有关,即受最坏环境影响;基于编码的压缩技术优点是不需要提供被测电路的内部结构,能够保护知识产权,缺点是无法解决测试数据与自动测试设备之间的同步问题。压缩测试集宽度的代表性方法有测试紧缩技术<sup>[12]</sup>,该技术的优点是不增加任何硬件成本,缺点是难以覆盖被测电路中的非固定性故障。二维压缩同时压缩测试集的长度和宽度,代表性的有基于折叠集和广义折叠集的测试数据压缩技术<sup>[13-14]</sup>。

从压缩效果上看,二维测试压缩能有效地组合折叠计数器、扭环计数器以及 LFSR 编码技术,其压缩效果为所有同类技术中最优。然而,传统的二维压缩技术未探讨测试集内部测试向量之间的相关性,其压缩效果不好。本文提出了一种引导自动测试向量生成的广义折叠技术,即根据信号线的确定值计算对应的原始输入,在测试生成时嵌入广义折叠技术,以确保按照广义折叠规律生成广义折叠集。

## 1 广义折叠技术

广义折叠集的基本思想是将整个测试集的直接存储转换成广义折叠种子和对应折叠距离的间接存储。不失一般性,设由  $t$  个不同向量组成原始测试数据,将这  $t$  个向量嵌入到  $n$  个广义折叠集中,这样对原始测试集的存储就转换成对  $n$  个广义折叠集的存储。进一步可将整个原始测试集的存储转换成对  $n$  个广义折叠种子和对应折叠距离的存储,其中  $t \gg n$ <sup>[15]</sup>。

构成广义折叠集的向量之间无相关性,限制了广义折叠集的压缩效果,中间产生了很多对测试覆盖率无关的测试向量,增加了测试时间和测试功耗。

## 2 测试向量生成策略

### 2.1 准确影响范围技术

传统的自动测试向量生成工具是基于故障点产生测试向量的,测试向量之间无相关性,难以将其嵌入到折叠集等固定翻转规律的单一序列中,因而很难达到最优压缩效果。传统算法中通过输入核来判断一个信号线的影响区域,无法准确识别一个有确定值的信号线影响的输入范围。一个触发器的输入核可能有很多输入,在测试向量的产生过程中,只有一部分会被置为确定值。因此,准确识别能够被该触

发器影响的输入对后面的压缩工作具有很大的指导意义。

SCOAP 是 ATPG 过程中广泛应用的一种可测性度量方法。但是它只单独分析各个门电路,不能在全局上进行测量。本文提出了一种新的测度,将每一个信号线取确定值可能影响的基本输入(PI)或伪基本输入(PPI)的集合记录下来,在回溯的过程中进行选择。

信号线  $l$  的可控性  $T_i(l)$  是使  $l$  赋值为  $i(i \in \{0, 1\})$  时从  $l$  到 PPI 所有门电路的可控性之和,如果存在多条通路,则取最小值。令  $C_i(l)$  表示使  $l$  赋值为  $i$  时从  $l$  到 PPI 最小通路的距离,记为  $C_i(l) = |T_i(l)|$ 。

如果  $l$  的输入为 PI 或者 PPI,用  $l(0)$  和  $l(1)$  分别代表信号线  $l$  被赋值为 0 和 1,则

$$T_1(l) = \{l(1)\}, T_0(l) = \{l(0)\} \quad (1)$$

$$C_1(l) = C_0(l) = 1 \quad (2)$$

对于一个与门来说,假设其输入值为  $A$  和  $B$ ,则

$$T_1(l) = T_1(A) \cup T_1(B) \quad (3)$$

$$C_1(l) = C_1(A) + C_1(B) + \Delta C \quad (4)$$

式中,  $\Delta C$  为门的级数,默认值为 1。

区分 PI 和 PPI 是为了向尽量少的 PPI 方向回溯。如果对于输入端都是 PI 的情况,  $C$  取值为 10, 作为一个惩罚值。

类似地,与门之间存在如下关系:

$$T_0(l) = \begin{cases} T_0(A) & C_0(A) \leq C_0(B) \\ T_0(B) & C_0(A) > C_0(B) \end{cases} \quad (5)$$

$$C_0(l) = \begin{cases} C_0(A) & C_0(A) \leq C_0(B) \\ C_0(B) & C_0(A) > C_0(B) \end{cases} \quad (6)$$

使一个与门的输出值为 0,只需要任一个输入值为 0。如果存在多种选择,则优先选择最小代价进行回溯。

对于一个输入值为  $A$  或  $B$  的或门,有

$$T_0(l) = T_0(A) \cup T_0(B) \quad (7)$$

$$C_0(l) = C_0(A) + C_0(B) + \Delta C \quad (8)$$

$$T_1(l) = \begin{cases} T_1(A) & C_1(A) \leq C_1(B) \\ T_1(B) & C_1(A) > C_1(B) \end{cases} \quad (9)$$

$$C_1(l) = \begin{cases} C_1(A) & C_1(A) \leq C_1(B) \\ C_1(B) & C_1(A) > C_1(B) \end{cases} \quad (10)$$

对于一个输入值为  $A$  的非门,有

$$T_1(B) = T_0(A), C_1(B) = |T(B)| \quad (11)$$

$$T_0(B) = T_1(A), C_0(B) = |T_0(B)| \quad (12)$$

对于一个多扇出信号线  $s$ ,其扇出端值分别为  $B_1, B_2, \dots, B_k$ ,则

$$C_i(B_j) = C_i(s) \quad (13)$$

与非门和或非门的计算情况与上面类似,可以按照与门、非门和或门直接复合.

对于一个确定的故障,检测时不仅需要将其激活,还需要把故障效应传递到原始输出.因此,需要定义每个信号线的可观测性.

与可控制性类似,可观测性  $Q_i(l)$  定义为使  $l$  赋值为  $i(i \in \{0,1\})$  时从 PPO 到  $l$  所有门电路的可控制性之和,如果存在多条通路,则取最小值.令  $O_i(l)$  表示使  $l$  赋值为  $i$  时从 PPO 到  $l$  最小通路的距离,记为  $O_i(l) = |Q_i(l)|$ .

对于电路的原始输入端  $M$ ,有

$$Q(M) = \emptyset, \quad O(M) = 0 \quad (14)$$

对于非门,令输入值为  $A$ ,输出值为  $B$ ,则

$$Q(A) = Q(B) \quad (15)$$

$$O(A) = |Q(A)| \quad (16)$$

对于二输入与门,输入值为  $A$  和  $B$ ,输出值为  $p$ ,则

$$Q(A) = Q(p) \cup T_1(B) \quad (17)$$

$$O(A) = |Q(A)| \quad (18)$$

对于二输入或门,输入值为  $A$  和  $B$ ,输出值为  $p$ ,则

$$Q(A) = Q(p) \cup T_0(B) \quad (19)$$

$$O(A) = |Q(A)| \quad (20)$$

对于扇出  $s$ ,设  $B_1, B_2, \dots, B_k$  为多扇出分支值,则

$$O(s) = \min(O(B_1), O(B_2), \dots, O(B_k)) \quad (21)$$

由此可得一个故障的原始输入.在 ATPG 产生测试向量的过程中,选择性地调整确定位位置,使产生的测试向量符合广义折叠规律.

### 2.2 故障合并策略

在 2 个故障生成测试向量过程中,可以按照如下 3 个原则来执行:

① 如果 2 个故障没有相同的结构输入核,那么它们肯定是可以合并的,基于这 2 个故障产生一个测试向量;

② 如果 2 个故障的结构输入核有交叉,其影响范围没有交叉,可以基于这 2 个向量产生一个测试向量;

③ 在其他情况下,理论上不能判断这 2 个故障是否可以直接合并成一个测试向量,需要通过量化影响范围指标来判断其交叉程度,优先选取影响范围交叉程度小的故障进行测试.

### 2.3 向量生成顺序

首先按照测试向量的合并策略,将基于同一

个测试向量测试的难测故障个数分组,选择可以合并的难测故障数最多的 2 组故障,产生 2 个测试向量.与折叠集类似,由这 2 个测试向量计算对应的广义折叠集,根据得到的广义折叠集中的测试向量进行故障模拟,检查该广义折叠集所能测试的所有故障.对剩下的难测故障再次分组,得到另一完整广义折叠集.以此类推,直到故障覆盖率达到 100%,最终得到若干个确定的广义折叠集.

## 3 综合过程

通过随机测试将故障分成易测故障和难测故障.难测故障采用 2.2 节的故障合并策略,按照同一个测试向量测试的难测故障个数分组,选择可以合并故障数最多的 2 组故障,采用较为准确的影响范围技术来判断每个信号线在回退过程中产生影响的原始输入,指导测试向量的生成过程,产生对应的 2 个测试向量.与折叠集类似,由这 2 个测试向量来计算广义折叠集,根据得到的广义折叠集中的测试向量进行故障模拟,检查该广义折叠集所能测试的所有故障.对剩下的故障再次分组,得到另一完整广义折叠集.以此类推,直到故障覆盖率达到 100%,最终得到若干个确定的广义折叠集.总体过程见图 1.

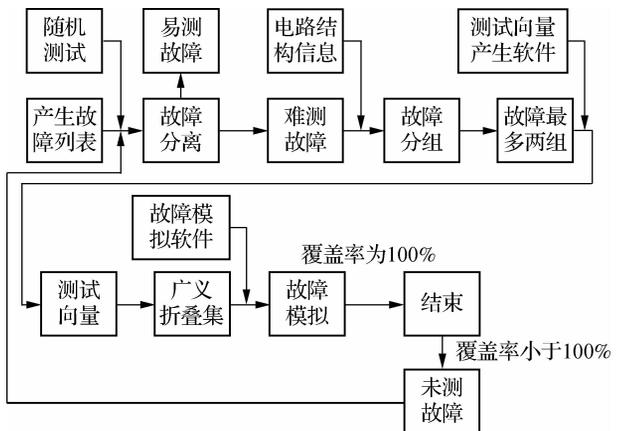


图 1 按照广义折叠规律生成的自动测试向量生成算法技术路线

广义折叠集不同的翻转规律需要配置不同的解压电路,即翻转规律的个数直接决定着硬件的开销.因此,在实际应用时,需要在硬件开销和压缩效果之间权衡,而不仅仅只考虑压缩效果.

## 4 实验结果

下面通过实验结果来验证 ATPG 引导后广义

折叠技术的压缩效果. 选用 ISCAS 89 标准电路中规模较大的 6 个时序电路, 在随机模式下运行  $1 \times 10^4$  个时钟周期以剔除易测故障. 对于剩下的难测

故障, 运用 atalanta 等 ATPG 工具生成确定位最少的硬故障测试集. 在同等情况下, 对比本文方法与传统广义折叠技术的压缩效果, 结果见表 1.

表 1 采用 ISCAS 89 标准电路和硬故障测试集时 2 种方法的压缩效果比较

电路名称	测试向量数	测试向量位数/bit	测试集位数/bit	传统广义折叠技术			本文方法		
				广义折叠集数	压缩后数据位数/bit	压缩率/%	广义折叠集数	压缩后数据位数/bit	压缩率/%
S5378	28	214	5 992	6	1 284	78.60	5	1 070	82.14
S9234	296	247	73 112	41	10 127	86.15	35	8 645	88.17
S13207	315	700	220 500	26	18 200	91.75	24	16 800	92.38
S15850	268	611	163 748	22	13 442	91.79	18	10 998	93.28
S38417	1 323	1 664	2 201 472	52	86 528	96.07	38	63 232	97.12
S38584	312	1 464	456 768	20	29 280	93.59	15	21 960	95.19
平均值			520 265		26 477	94.90		20 451	96.07

由表 1 可知, 对每个标准电路, 本文方法的压缩效果明显优于传统广义折叠技术. 针对 6 个标准电路, 本文方法的压缩率较传统广义折叠技术平均提高 1.17%. 这一结果是在未增加硬件开销的情况下得到的, 如果增加硬件开销, 压缩率提高值还可以进一步增大. 随着电路规模的增加, 本文方法的压缩率逐渐增大. 究其原因在于, 电路规模越大, 测试向量数越多, 嵌入到广义折叠集的概率越大, 因而压缩效果也越好. 当前实际中的集成电路规模远远高于 ISCAS89 标准电路, 因此, 本文方法的优势更为明显.

为了进一步验证本文方法的效果, 将其与国内外其他成熟方案在同等实验环境下进行比较. 实验中采用 ISCAS 89 标准电路和 Mintest 测试集. 采用

本文方法时, 选用难测故障数最多的 2 个测试向量, 使用准确影响范围技术调整测试向量的无关位, 并构建 ATPG 引导的广义折叠集, 分析其所测故障数. 对剩下的难测故障循环使用该方法, 直到故障覆盖率达到 100%, 从而得到若干个广义折叠集的存储位数.

表 2 给出了 9 种方法的压缩率. 由图可知本文方法的压缩效果最优. 对于 ISCAS 89 标准电路的 6 个时序电路, 本文方法的压缩率较 Golomb 码、FDR 码、VIHC 码、交替连续码、EFDR 码、IRIN 码、LODP 码分别提高 22.45%, 17.01%, 14.40%, 13.92%, 11.91%, 8.73%, 11.33%. 6 个时序电路中, 4 个电路采用本文方法时压缩效果最好, 压缩率为 61% ~ 77%, 从而证明了本文方法的稳定性.

表 2 采用 ISCAS 89 标准电路和 Mintest 测试集时 9 种方法的压缩率结果比较

电路名称	本文方法	传统广义折叠技术	Golomb 码 <sup>[3]</sup>	FDR 码 <sup>[4]</sup>	VIHC 码 <sup>[5]</sup>	交替连续码 <sup>[6]</sup>	EFDR 码 <sup>[7]</sup>	IRIN 码 <sup>[10]</sup>	LODP 码 <sup>[11]</sup>	%
S5378	77.48	66.67	40.70	48.19	51.78	45.12	50.81	56.05	48.43	
S9234	73.58	68.55	43.34	44.88	47.25	42.79	45.89	55.35	48.02	
S13207	74.57	68.32	74.48	78.67	83.51	80.43	79.38	86.10	80.75	
S15850	76.19	68.25	41.77	52.87	67.94	65.13	56.29	70.48	66.95	
S38417	61.62	59.60	44.12	54.53	53.36	56.52	52.35	52.85	56.11	
S38584	70.59	64.71	54.86	52.85	62.28	60.57	62.91	71.68	63.54	
平均值	72.34	66.00	49.88	55.33	61.01	58.42	57.93	65.42	60.63	

## 5 结论

1) 提出了一种引导自动测试向量生成的广义折叠技术. 该技术根据信号线的确定值计算对应的原始输入, 在测试生成时嵌入广义折叠技术, 确保按广义折叠规律生成广义折叠集. 将原始测试数据的直接存储转换成对广义折叠集的种子和折叠距离的间接存储.

2) 相对于传统的二维压缩方法, 本文方法可

以嵌入更多的测试向量, 减少了无用测试向量的产生. 实验结果显示, 本文方法具有较少的存储位数, 被测电路规模越大, 优势越明显.

3) 将本文方法与 LFSR 编码、输入精减、扫描链重排序技术结合使用可进一步提高压缩效果.

## 参考文献 (References)

- [1] 梁华国, 刘军, 蒋翠云, 等. 约束输入精简的多扫描链 BIST 方案[J]. 计算机辅助设计与图形学学报, 2007, 19(3): 371 - 375 DOI: 10.3321/j.issn:1003-

9775. 2007. 03. 018.
- Liang Huaguo, Liu Jun, Jiang Cuiyun, et al. Constraint input reduction BIST scheme for multiple scan chains [J]. *Journal of Computer Aided Design & Computer Graphics*, 2007, **19**(3): 371 - 375. DOI:10.3321/j.issn:1003-9775.2007.03.018. (in Chinese)
- [2] Xiang D, Chen M J, Fujiwara H. Using weighted scan enable signals to improve test effectiveness of scan-based BIST [J]. *IEEE Transactions on Computers*, 2007, **56**(12): 1619 - 1628.
- [3] Chandra A, Chakrabarty K. System-on-a-chip test-data compression and decompression architectures based on Golomb codes[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2001, **20**(3): 355 - 368.
- [4] Chandra A, Chakrabarty K. Test data compression and test resource partitioning for system-on-a-chip using frequency-directed run-length (FDR) codes [J]. *IEEE Transactions on Computers*, 2003, **52**(8): 1076 - 1088. DOI:10.1109/tc.2003.1223641.
- [5] Gonciari P T, Al-Hashimi B M, Nicolici N. Variable-length input huffman coding for system-on-a-chip test [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2003, **22**(6): 783 - 796. DOI:10.1109/tcad.2003.811451.
- [6] 梁华国, 蒋翠云. 基于交替与连续长度码的有效测试数据压缩和解压[J]. *计算机学报*, 2004, 27(4): 548 - 554. DOI:10.3321/j.issn:0254-4164.2004.04.015.
- Liang Huaguo, Jiang Cuiyun. Efficient test data compression and decompression based on alternation and run length codes[J]. *Chinese Journal of Computers*, 2004, **27**(4): 548 - 554. DOI:10.3321/j.issn:0254-4164.2004.04.015. (in Chinese)
- [7] El-Maleh A H. Test data compression for system-on-a-chip using extended frequency-directed run-length code [J]. *IET Computers & Digital Techniques*, 2008, **2**(3): 155 - 163. DOI:10.1049/iet-cdt:20070028.
- [8] 詹文法, 梁华国, 时峰, 等. 混合定变长码的测试数据压缩方案[J]. *计算机学报*, 2008, 31(10): 1826 - 1834. DOI:10.3321/j.issn:0254-4164.2008.10.017.
- Zhan Wenfa, Liang Huaguo, Shi Feng, et al. A test data compression scheme based on mixed fixed and variable length coding[J]. *Chinese Journal of Computers*, 2008, **31**(10): 1826 - 1834. DOI:10.3321/j.issn:0254-4164.2008.10.017. (in Chinese)
- [9] 邝继顺, 周颖波, 蔡烁. 一种用于测试数据压缩的自适应 EFDR 编码方法[J]. *电子与信息学报*, 2015, 37(10): 2529 - 2535. DOI:10.11999/JEIT150177.
- Kuang Jishun, Zhou Yingbo, Cai Shuo. Adaptive EFDR coding method for test data compression [J]. *Journal of Electronics & Information Technology*, 2015, **37**(10): 2529 - 2535. DOI:10.11999/JEIT150177. (in Chinese)
- [10] 詹文法, 梁华国, 程一飞, 等. 利用整数存储无理数的测试数据编码压缩方法[J]. *计算机辅助设计与图形学学报*, 2016, 28(9): 1605 - 1612. DOI:10.3969/j.issn.1003-9775.2016.09.025.
- Zhan Wenfa, Liang Huaguo, Cheng Yifei, et al. Test data compression coding-based scheme storing integers represented for irrational numbers[J]. *Journal of Computer-Aided Design & Computer Graphics*, 2016, **28**(9): 1605 - 1612. DOI:10.3969/j.issn.1003-9775.2016.09.025. (in Chinese)
- [11] 吴琼, 黄丽. 基于逻辑运算的折半划分测试数据压缩方法[J]. *系统仿真学报*, 2015, 27(6): 1324 - 1328.
- Wu Qiong, Huang Li. Test data compression based on logical operational dimidiate partition [J]. *Journal of System Simulation*. 2015, **27**(6): 1324 - 1328.
- [12] El-Maleh A H, Khursheed S S, Sait S M. Efficient static compaction techniques for sequential circuits based on reverse-order restoration and test relaxation [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, **25**(11): 2556 - 2564. DOI:10.1109/ats.2005.53.
- [13] Liang H G, Hellebrand S, Wunderlich H J. Twodimensional test data compression for scan-based deterministic BIST [J]. *Journal of Electronic Testing: Theory and Applications*, 2002, **18**(2): 159 - 170.
- [14] 周彬, 叶以正, 李兆麟. 基于二维测试数据压缩的 BIST 方案[J]. *计算机辅助设计与图形学学报*. 2009, 21(4): 481 - 486, 492.
- Zhou Bin, Ye Yizheng, Li Zhaolin. BIST scheme based on two-dimensional test data compression [J]. *Journal of Computer-Aided Design & Computer Graphics*, 2009, **21**(4): 481 - 486, 492. (in Chinese)
- [15] 詹文法, 吴琼, 程一飞, 等. 嵌入广义折叠技术的集成电路测试数据压缩方案[J]. *计算机辅助设计与图形学学报*, 2017, 29(8): 1542 - 1548.
- Zhan Wenfa, Wu Qiong, Cheng Yifei, et al. Integrated circuit test data compression scheme built-in generalized folding technology [J]. *Journal of Computer-Aided Design & Computer Graphics*, 2017, **29**(8): 1542 - 1548. (in Chinese)